

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-161777

(43)Date of publication of application : 12.12.1981

(51)Int.Cl.

H04N 1/40
G06K 9/20

(21)Application number : 55-065724

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.05.1980

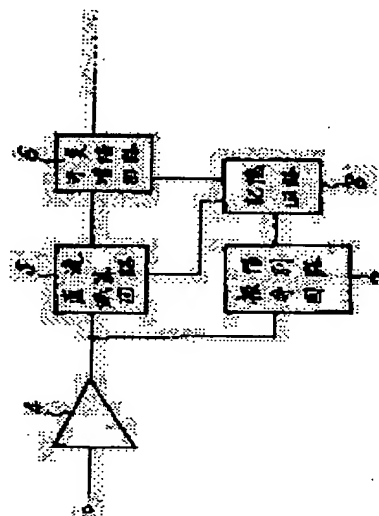
(72)Inventor : NISHIMOTO TSUNETOSHI

(54) FACSIMILE DEVICE

(57)Abstract:

PURPOSE: To enable to compensate the dispersion of performance of each photoelectric conversion elements, by reading in standard black and white signals in advance, storing the output level, and adjusting the amplification factor and subtracting DC component based on the signals.

CONSTITUTION: Before reading in an actual original, a standard black signal (e.g., distinguished state of light source) is read in as the 1st step, and a standard white signal is read in as the 2nd step, and the output signal of each photoelectric conversion element at these steps is stored in a storage circuit 8. Further, the output signal of each element of the 1st step mentioned before is subtracted at a DC component subtraction circuit 5 and the amplification factor of a variable amplifying circuit 6 is changed so as to keep the level of the output signal of each element of the 2nd step constant. Thus, the dispersion of the performance of each photoelectric conversion element of a multi-image sensor arranged in array shape is completely compensated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

対数変換形 CMOS エリア固体撮像素子

LOG Area Image Sensor Fabricated by Using a General CMOS Process

正会員 萩原 義雄¹, 角本 兼一¹, 中村里 之¹,
草鹿 泰¹, 鐘堂 健三², 正会員 高田 謙二¹
Yoshio Hagihara¹, Tomokazu Kakumoto¹, Satoshi Nakamura¹,
Yasushi Kusaka¹, Kenzo Shodo² and Kenji Takada¹

Abstract We have developed a logarithmic-converting CMOS area image sensor that is fabricated using a general CMOS process. The sensor has 340(H)×228(V) pixels, in which there is a logarithmic-converting circuit that uses MOSFET subthreshold operation. Its cell size is 20 μm(H)×20 μm(V). It outputs a signal logarithmically proportional to the integrated amount of the photo current generated by incident light more than five orders of magnitude in intensity. It can therefore take bright and dark objects at the same time. We expect that this sensor will find consumer (i. e., digital still cameras, digital video cameras, and so on) and industrial application.

キーワード：対数変換，積分，増幅形，ダイナミックレンジ，エリア，CMOS

1. ま え が き

近年，CMOS 技術を用いた CMOS 固体撮像素子の研究・開発が活発化している。この背景には，イメージセンサと各種の機能回路とを 1 チップ上に集積化し，低コスト，低消費電力で，かつ，従来にない特徴を持つイメージセンサ実現への期待がある。

対して，現在固体撮像素子の主流である CCD 固体撮像素子もその特性向上についての進歩が著しい。例えば，小形化，高解像度化においては，デジタルカメラ用のエリアセンサで，1/2 インチで 200 万画素に達しており，その画素サイズは 4.0 μm(H)×4.0 μm(V) 以下のものも開発され商品化されている。

現在のマルチメディア社会において，画像入力技術は最も重要な技術であり，それゆえ，それを支える固体撮像素子の特性向上も日々図られている。

しかしながらダイナミックレンジに関しては，画像入力用固体撮像素子の大部分のものは 3 桁，良くて 4 桁で，肉眼等と比較するとかなり狭い。ダイナミックレンジを広げることは，現在の画像入力技術においても依然として解決

されておらず，将来への課題となっていた。

またその対策として，MOSFET の短チャネル効果やオーバーロードレイン等を利用して高輝度部を対数圧縮し，ダイナミックレンジを広げる素子が報告されている¹⁾²⁾。

今回我々は，MOSFET のサブスレッショルド (Subthreshold) 特性を利用した対数変換回路を各画素に内蔵することによって，

- ・ダイナミックレンジが広い。
- ・上記輝度範囲において対数変換された出力が得られる。

という特徴を持つ対数変換形 CMOS エリア固体撮像素子を開発したので，ここに報告する。

2. 動作原理と画素構成

2.1 動作原理³⁾⁴⁾

MOSFET はゲート電圧が閾値電圧以下の場合においても，サブスレッショルド (Subthreshold) 電流と呼ばれる微小電流が流れることが知られている。

図 1 の回路において，PN 接合フォトダイオードに光が入射すると光の強度に比例した光電流が流れ，この光電流が MOSFET のサブスレッショルド電流と整合するように MOSFET のドレインおよびゲートに供給され，光電流が対数変換されることになる。近年，この対数変換原理を利用した対数変換形固体撮像素子が報告されている³⁾⁵⁾。

しかし，対数変換回路のみであると，光源の光量変動している場合，各画素への読出しタイミングの違いにより出力電圧が異なることがある。この問題を解決するため

1999 年 6 月 14 日受付，1999 年 11 月 22 日最終受付，1999 年 12 月 6 日採録
↑ ミノルタ株式会社 高槻研究所 光技術部

(〒569-0807 高槻市桜町 1 番地 2 号，TEL 0726-85-6140)

↑ ローム株式会社 MODULE LSI 商品開発部

(〒615-8585 京都市右京区西院清岡町 21，TEL 075-321-5727)

↑ R & D Headquarters, Minolta Co., Ltd.

(1-2, Sakura-machi, Takatuki-shi, Osaka 569-0807, Japan)

↑ MODULE LSI Div., LSI Product Development Headquarters, Rohm Co., Ltd.

(21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto 615-8585, Japan)

に、積分回路を付加した CCD リニア固体撮像素子が報告されている¹⁾。しかし、対数変換回路は MOSFET で構成し、シフトレジスタは CCD で構成するため、積分回路を構成するキャパシタを SCCD で作製する必要がある。SCCD を用いたキャパシタは、形成されるポテンシャルと蓄積電荷とが厳密な比例関係をなさないため、厳密な「積分」回路として機能しているとは考えにくい。今回我々は、デバイスを構成するすべての回路を CMOS プロセスで作製することにより、この問題を解決した。

2.2 画素構成

図 2 には、図 1 に示した対数変換回路と積分回路および、新たに増幅回路を各画素内に内蔵した本デバイスの 1 画素当りの回路構成を示す。

図 2 において、感光部の PN 接合フォトダイオードのカソードには DC 電圧 VPD が印加されており、アノードには第 1 MOSFET のゲートとドレインおよび第 2 MOSFET のゲートが接続されている。また、第 1 MOSFET

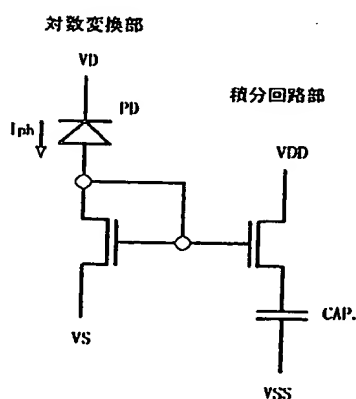


図 1 対数変換回路と積分回路
Logarithmic-converting circuit and integration circuit.

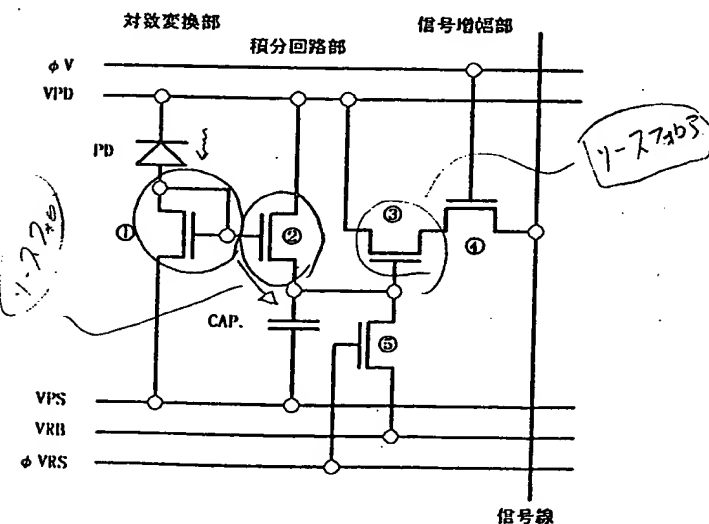


図 2 対数変換形固体撮像素子画素構成回路
Pixel circuit in CMOS LOG area sensor.

のソースには DC 電圧 VPS が印加され、第 2 MOSFET のソースには積分用キャパシタ、増幅用第 3 MOSFET のゲートおよびリセット用第 5 MOSFET のドレインが接続されている。また、増幅用第 3 MOSFET のソースには垂直選択用第 4 MOSFET のドレインが接続されている。

3. デバイス構成

図 3 に、今回開発した対数変換形 CMOS エリア固体撮像素子の構成図を示す。試作したデバイスの総画素数は $340(\text{H}) \times 228(\text{V})$ 、画素サイズは $20 \mu\text{m}(\text{H}) \times 20 \mu\text{m}(\text{V})$ で、 $0.5 \mu\text{m}$ 汎用 CMOS プロセスを使用した。

今回、CMOS プロセスを全く変更することなくデバイスを試作したため、感光部の PN 接合フォトダイオードは、各画素内に N ウェルを設け、その中に P⁺ を設けることにより形成した。

4. デバイス特性

以下に今回開発した対数変換型 CMOS エリア固体撮像素子の特性を示す。

4.1 光電変換特性

図 4 には、本デバイスの面内 3 点における光電変換特性を示してある。同図において、横軸は対数スケールで表したデバイス面照度を、縦軸はデバイスの出力電圧値(相対値)を表している。同図より、5 桁を超える範囲の光量変化に対して、その対数に比例した出力電圧が得られていることがわかる。なお、今回の測定においては高照度限界測定に必要な超高輝度光源を用意することができなかった。光電変換特性の感度バラツキは、各画素内における対数変換回路を構成している MOSFET と積分回路を構成している MOSFET との閾値の違いによる。

また、低照度域で出力が直線から外れてくるのは、PN 接合フォトダイオード部での暗電流が原因と考えられる。高照度域での限界を決定する原因は 2 つ考えられる。ひとつは、入射光により発生する光電流値が MOSFET のサブスレッショルド (Subthreshold) 特性を外れてしまう場

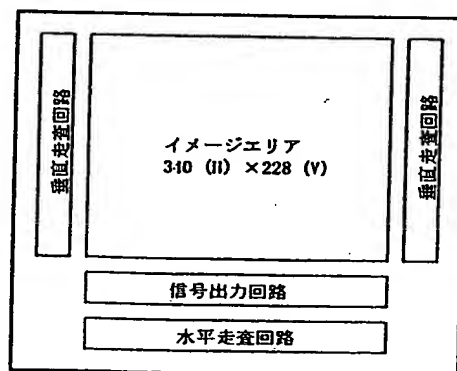


図 3 デバイスアーキテクチャ
Device architecture.

合、もうひとつは、各画素内にある増幅回路の動作点を外れてしまう場合である。

4.2 応答性

本対数変換形 CMOS エリア固体撮像素子において問題となるのは応答性である。なかでも、入射光量がステップ関数的に減少する場合の残像が最も顕著である。残像が発生する原因は、ゲート部に存在する寄生容量に蓄積された正孔を MOSFET のサブスレッショルド電流で放電するためである。その場合における応答関係を表す式を、図 5 の解析モデルを用いて求めてみる。

MOSFET のサブスレッショルド電流 I_D は次式で表されることが知られている。

$$I_D = I_{D0} \cdot \exp\left[\frac{q}{nkT}(V_G - V_S - V_{th})\right] \quad (1)$$

k : ボルツマン定数, T : 絶対温度, q : 素電荷,

$n = \frac{C_0 + C_D}{C_0}$, C_0 : ゲート絶縁膜容量, C_D : 空乏層容量, V_G : ゲート電位, V_S : ソース電位, V_{th} : 閾値。

ただし, $I_{D0} = \frac{W}{L} \mu_n C_0 \frac{1}{n} \left[\frac{nkT}{q}\right]^2 \exp[-1]$

W : MOSFET チャネル幅, L : MOSFET チャネル長, μ_n : 電子移動度。

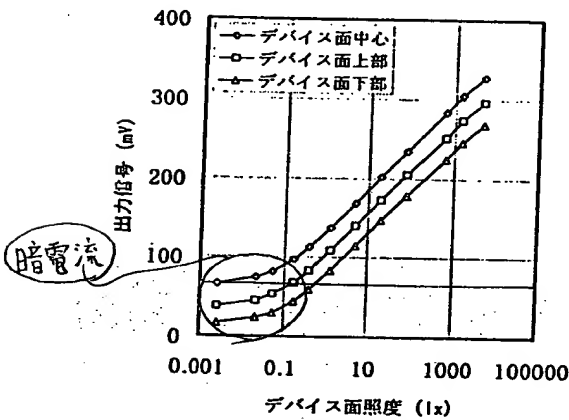


図 4 光電変換特性
Photoconversion characteristics.

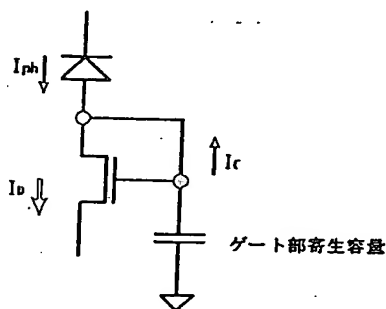


図 5 解析モデル
Analytical model.

また、ゲート部の寄生容量 C から流れる電流 I_c は次式で表される。

$$I_c = -C \frac{dV_G}{dt} \quad (2)$$

さらに、サブスレッショルド電流 I_D は、 I_c と入射光量による光電流 I_{ph} との和に等しいので、次式で表される。

$$I_D = I_{ph} + I_c \quad (3)$$

以上、(1)~(3)式より、本デバイスの応答関係式は以下のように表されることになる。

$$t = \frac{nkTC}{q} \cdot \frac{1}{I_{ph}} \left\{ \ln \frac{I_0}{I_0 + I_{ph}} - \ln \frac{I_c}{I_c + I_{ph}} \right\} \quad (4)$$

上式において、 t は時間であり、 I_c は $t=+0$ 以後に寄生容量から放電される電流値であり、時間の関数である。また、 I_0 は $t=+0$ のときに寄生容量から放電される電流値であり、この場合は $t=-0$ のときの入射光量による光電流に等しい。 I_{ph} は $t=+0$ のときの入射光量による光電流である。

(4)式より、入射光量がデバイス面照度に換算して

$$10000 \text{ lx} \rightarrow 1 \text{ lx}$$

にステップ関数的に変化した場合について、その応答時間 τ を見積もってみる。本デバイスの PN 接合フォトダイオードに流れる光電流値は以下ようになる。

$$10000 \text{ lx} \dots I_0 = 0.6 \text{ nA}$$

$$1 \text{ lx} \dots I_{ph} = 0.06 \text{ pA}$$

また、応答時間 τ を見積もるに当たり、応答時間 τ は

$$\frac{I_c}{I_{ph}} \approx \frac{1}{100}$$

に到達するまでの時間、つまり寄生容量からの放電による電流値が入射光による光電流値の 1% に到達するまでの時間と定義した。この定義は残像が実用上問題にならない時間を表すと考えられる。

図 6 に結果を示す。横軸は寄生容量値であり、縦軸は応答時間 τ である。なお、同図には入射光量が 10000 lx から 10 lx, 100 lx にステップ関数的に変化した場合の応答

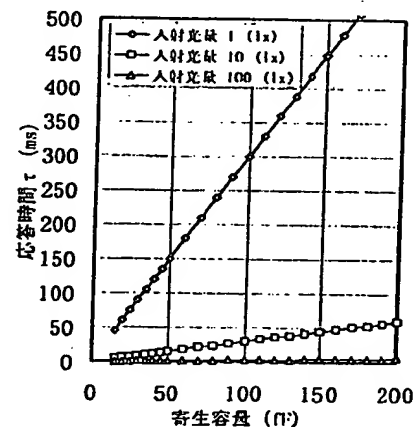


図 6 寄生容量と応答時間特性
Parasitic capacitance vs image lag.

時間 τ も記載した。同図からも変化した後の入射光量の値が小さくなるほど応答時間 τ が極端に長くなることがわかる。これは、撮像時において残像として現れることになる。また、デバイス面照度 24 lx から 1 lx に変化した時の実測値は 240 ms であり、本デバイスの寄生容量値から (4) 式を用いて計算した値 250 ms と、ほぼ一致する。なお、本デバイスにおける寄生容量 (= ゲート部寄生容量) は PN 接合フォトダイオードの容量が支配的であり、その値は約 85 fF である。このことは逆に、低照度域での撮像においても、デバイスの寄生容量を小さくすることにより応答時間 τ を短縮し、残像を実用上問題にならないレベルにすることが可能であることを示している。

表 1 CMOS LOG エリアセンサの諸特性
The characteristics of CMOS LOG area sensor.

出力方式	全画素読出し
光学フォーマット	1/2 inch
総画素数	340(H) × 228(V)
有効画素数	320(H) × 220(V)
画素サイズ	20 μ m(H) × 20 μ m(V)
ダイナミックレンジ	100 dB 以上
スミア	-120 dB 以下
ランダムノイズ	0.4 mV 以下



図 7(a) 室内
Image in the room.

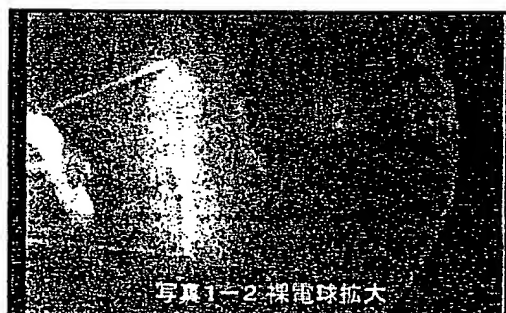


図 7(b) 電球拡大
Image of a light bulb.

4.3 その他の諸特性

表 1 に上記以外の諸特性を示す。表 1 におけるダイナミックレンジの定義は、出力信号が対数特性から外れる範囲における暗時と明時との照度差とした。また、スミアに関しては、他の CMOS 固体撮像素子同様に低い値を示す。

5. 撮 像 例

図 7~図 9 は、本対数変換形 CMOS エリア固体撮像素子を用いて撮像した撮像例である。図 7 を見るとわかるように、高輝度の被写体と低輝度の被写体を同時に撮像可能である。また、図 8、図 9 は夜間の道路と自動車(特に、ヘッドライト)を対数変換形 CMOS エリア固体撮像素子と CCD 固体撮像素子とで撮像した場合の比較画像である。撮像例からも、今回開発した対数変換形 CMOS エリア固体撮像素子のダイナミックレンジの広さを確認できる。

6. む す び

MOSFET のサブスレッショルド特性を利用した対数変換回路を各画素に内蔵した、対数変換形 CMOS エリア固体撮像素子を開発した。総画素数 340(H) × 228(V)、画素サイズ 20 μ m(H) × 20 μ m(V) で、0.5 μ m 汎用 CMOS プロセスを使用し、5 桁を超える光量変化に対してその対数に比例した出力が得られることを確認した。対数変換形 CMOS エリア固体撮像素子は以下のような特徴を持つ。



図 8 夜間道路(CMOS LOG エリアセンサ)
Image by CMOS LOG area sensor.



図 9 夜間道路 (CCD エリアセンサ)
Image by conventional CCD area sensor.

(1) ダイナミックレンジが広いので、高輝度・低輝度被写体を同時に撮像できる。

(2) 上記輝度範囲において対数変換された出力が得られる。

(3) 汎用 CMOS プロセスのみを用いて製作できるので、システム LSI 化が容易である。

以上の特徴により、対数変換形 CMOS エリア固体撮像素子は民生用(デジタルカメラ、デジタルビデオ、等)や工業用として様々な応用が考えられる。

本デバイスを試作するにあたり、CMOS 半導体プロセスを担当して頂きましたローム株式会社 ULSI デバイス研究開発部の松本功副本部長、MIXED-SIGNAL LSI 製造部の岡山努技術主査に深く感謝致します。

【文 献】

- 1) 本内雄二：第 1 回画像入力技術シンポジウム講演予稿集 (Nov. 1989)
- 2) S. G. Chamberlain and J. P. Y. Lee: "A Novel Wide Dynamic Range Silicon Photodetector and Linear Imaging Array", IEEE Trans. Electron Devices, ED-31, 2, pp. 175-182 (Feb. 1984)
- 3) 水谷ほか："MOSFET のサブ閾値領域の特性を利用した対数的光電変換素子", テレビ学技報, 47, 2, pp. 233-239 (1993)
- 4) 高田ほか："対数変換 CCD ラインセンサ", テレビ誌, 49, 2, pp. 169-17 (1995)
- 5) M. Loose, et al.: "Self-calibrating Logarithmic CMOS Image Sensor with Single Chip Camera Functionality", 1999 IEEE Workshop in Charge-Coupled Devices and Advanced Image Sensors R 27



秋原 義雄 1992 年、東京大学大学院工学系研究科システム電子工学専攻前期課程修了。同年、ソニー(株)に入社。以来、固体撮像素子全般の研究・開発に従事。1997 年、ミノルタ(株)に入社。高槻研究所に勤務。以来、固体撮像素子の開発に従事。正会員。



角本 兼一 1992 年、同志社大学工学部工業化学科卒業。同年、ローム(株)に入社。LSI の製造技術開発に従事。1998 年、ミノルタ(株)に入社。高槻研究所に勤務。以来、固体撮像素子の開発に従事。



中村 里之 1989 年、大阪大学理学部物理学科卒業。同年、ミノルタ(株)に入社。高槻研究所に勤務。以来、固体撮像素子の開発に従事。



草鹿 泰 1986 年、大阪大学大学院基礎工学研究科機械工学分野前期課程修了。同年、ミノルタ(株)に入社。高槻研究所に勤務。以来、分光センサの開発および固体撮像素子の開発に従事。



鐘堂 健三 1980 年、大阪府立大学工学部電気工学科卒業。同年、ローム(株)に入社。オーディオ用および光ディスク用アナログ LSI の商品開発を経て、現在、光電変換 LSI の商品開発に従事。



高田 謙二 1984 年、京都大学理学部卒業。同年、ミノルタ(株)に入社。高槻研究所に勤務。以来、バイポーラ IC の開発、固体撮像素子の開発に従事し、現在に至る。正会員。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.